



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03174765 A**(43) Date of publication of application: **29.07.91**

(51) Int. Cl.

H01L 27/108
H01L 27/04
(21) Application number: **01320593**(22) Date of filing: **12.12.89**(30) Priority: **19.09.89 JP 01240786**(71) Applicant: **OKI ELECTRIC IND CO LTD**(72) Inventor: **IDA JIRO**(54) **SEMICONDUCTOR MEMORY DEVICE AND MANUFACTURE THEREOF**

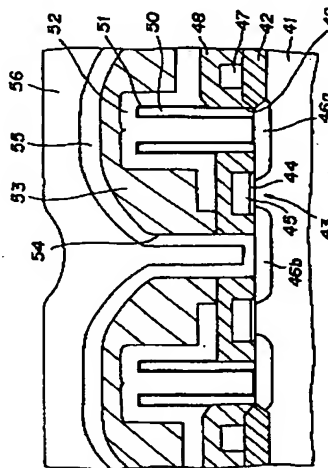
(57) Abstract:

PURPOSE: To reduce manufacturing cost by providing a tubular charge accumulation electrode, forming a capacitor dielectric thin film on the inner/outer faces and the top face thereof and the bottom face of contact holes, and providing a capacitor plate electrode sandwiching the dielectric thin film and covering the charge accumulation electrode.

CONSTITUTION: After formation of a field oxide film 42 on a silicon substrate 41, a switching transistor 43 is provided and a first interlayer insulating film 48 is applied entirely. A contact hole 49 is made, on one diffusion layer 46a of the source and drain of the switching transistor 43, through the first interlayer insulating film 48 and a tubular charge accumulation electrode 50 is projected from the side face thereof above the first interlayer insulating film 48. The lower end of the charge accumulation electrode 50 contacts with the surface of the diffusion layer 46a on the bottom of the contact hole 49. A capacitor dielectric thin film 51 is formed on the inner/outer faces and the top face of the charge accumulation electrode 50 and the bottom face of the contact hole 49, and then a plate electrode 52 sandwiching the

dielectric thin film 51 and covering the charge accumulation electrode 50 is provided. By such method, fabrication process is simplified resulting in cost reduction.

COPYRIGHT: (C)1991,JPO&Japio



⑫ 公開特許公報(A)

平3-174765

⑤Int.Cl.⁵

識別記号

庁内整理番号

⑬公開 平成3年(1991)7月29日

H 01 L 27/108
27/04

C

7514-5F
8624-5F

H 01 L 27/10

3 2 5 C

審査請求 未請求 請求項の数 6 (全 16 頁)

⑭発明の名称 半導体記憶装置およびその製造方法

⑯特 願 平1-320593

⑰出 願 平1(1989)12月12日

優先権主張 ⑱平1(1989)9月19日⑲日本(JP)⑳特願 平1-240786

㉑発明者 井 田 次 郎 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 ㉒出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
 ㉓代 理 人 弁理士 菊 池 弘

明 細 書

1. 発明の名称

半導体記憶装置およびその製造方法

2. 特許請求の範囲

(1) (a) 半導体基板と、

(b) この半導体基板に形成されたトランスファゲートとしてのスイッチングトランジスタと、

(c) このスイッチングトランジスタが形成された前記基板上の全面を覆う絶縁膜と、

(d) この絶縁膜に前記スイッチングトランジスタのソース・ドレインの一方の拡散層上で開けられたコンタクトホールと、

(e) このコンタクトホールの側壁面から前記絶縁膜の上方に筒状に突出するように設けられ、下端はコンタクトホール底面の前記拡散層表面に接する筒状のキャパシタの電荷蓄積電極と、

(f) この筒状の電荷蓄積電極の内面、外面および上端面ならびにコンタクトホールの底面に形成されたキャパシタ誘電体薄膜と、

(g) このキャパシタ誘電体薄膜を挟んで前記筒

状の電荷蓄積電極をその内側と外側から覆うように形成されたキャパシタのプレート電極とを具備してなる半導体記憶装置。

(2) (a) 半導体基板と、

(b) この半導体基板に形成されたトランスファゲートとしてのスイッチングトランジスタと、

(c) このスイッチングトランジスタが形成された前記基板上の全面を覆う絶縁膜と、

(d) この絶縁膜に前記スイッチングトランジスタのソース・ドレインの一方の拡散層上で開けられたコンタクトホールと、

(e) このコンタクトホール底面の前記拡散層表面に底部が接し、かつコンタクトホールの側壁面から前記絶縁膜の上方に筒状に突出するように設けられた有底筒状のキャパシタの電荷蓄積電極と、

(f) この有底筒状の電荷蓄積電極の内面、外面および上端面に形成されたキャパシタ誘電体薄膜と、

(g) このキャパシタ誘電体薄膜を挟んで前記有底筒状の電荷蓄積電極をその内側と外側から覆う

ように形成されたキャパシタのプレート電極とを具備してなる半導体記憶装置。

(3) (a) 半導体基板にトランスファゲートとしてのスイッチングトランジスタを形成する工程と、

(b) そのスイッチングトランジスタが形成された前記基板上の全面に厚く絶縁膜を形成する工程と、

(c) その絶縁膜に前記スイッチングトランジスタのソース・ドレインの一方の拡散層上でコンタクトホールを開ける工程と、

(d) 多結晶半導体層の全面形成および異方性エッチングにより、前記コンタクトホールの側壁面に残存多結晶半導体層からなる筒状のキャパシタの電荷蓄積電極を形成する工程と、

(e) その後、前記絶縁膜を一定の深さまでエッチング除去することにより、前記電荷蓄積電極の上方側部分を前記絶縁膜上に突出させる工程と、

(f) その後、筒状の電荷蓄積電極の内面、外面および上端面ならびにコンタクトホール底面にキャパシタ誘電体薄膜を形成し、さらに筒状の電荷

3

記コンタクトホールを埋め込む工程と、

(g) この絶縁膜を全面異方性エッチングによりコンタクトホール内にのみ残す工程と、

(h) この残存絶縁膜をマスクとして、前記3層構造絶縁膜表面の露出した多結晶半導体層を除去することにより、該多結晶半導体層をコンタクトホール内にのみ有底筒状に残し、有底筒状のキャパシタの電荷蓄積電極を形成する工程と、

(i) その後、コンタクトホール内の残存絶縁膜と3層構造絶縁膜の上層酸化膜を、3層構造においては中間層の窒化膜をマスクとして同時に除去し、さらに中間層の窒化膜を除去することにより、3層構造絶縁膜の下層酸化膜上に前記電荷蓄積電極の上方側部分を突出させる工程と、

(j) その後、有底筒状の電荷蓄積電極の内面、外面および上端面にキャパシタ誘電体薄膜を形成し、さらに有底筒状の電荷蓄積電極をその内側および外側から覆うようにキャパシタのプレート電極を形成する工程とを具備してなる半導体記憶装置の製造方法。

5

蓄積電極をその内側および外側から覆うようにキャパシタのプレート電極を形成する工程とを具備してなる半導体記憶装置の製造方法。

(4) スwitchングトランジスタが形成された半導体基板の全面を覆う厚い絶縁膜は酸化膜/窒化膜/酸化膜の3層構造であり、前記絶縁膜を一定の深さまでエッチング除去する際は、窒化膜をエッチングストップとして使用することの特徴とする請求項(3)記載の半導体記憶装置の製造方法。

(5) (a) 半導体基板にトランスファゲートとしてのスイッチングトランジスタを形成する工程と、

(b) そのスイッチングトランジスタが形成された前記基板上の全面に酸化膜/窒化膜/酸化膜の3層構造の厚い絶縁膜を形成する工程と、

(c) その絶縁膜に前記スイッチングトランジスタのソース・ドレインの一方の拡散層上でコンタクトホールを開ける工程と、

(d) そのコンタクトホールの側壁面および底面ならびに前記絶縁膜表面の全面に多結晶半導体層を形成し、さらにその上に絶縁膜を堆積させて前

4

(e) 多結晶半導体層を全面に形成した後、その上に堆積される絶縁膜は不純物ドーパの絶縁膜とし、この絶縁膜の堆積後、この絶縁膜から前記多結晶半導体層に導電性をもたせるために不純物を拡散によりドーピングすることの特徴とする請求項(5)記載の半導体記憶装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体記憶装置およびその製造方法に係り、詳しくは、ダイナミックランダムアクセスメモリ(以下DRAMと略す)のセル構造およびその製造方法に関するものである。

(従来の技術)

現在、DRAMセルは、1トランジスタ・1キャパシタのセルが主流であり、キャパシタに蓄積された電荷の有無で情報を記憶し、トランジスタのオン・オフで読み出し、書き込み、及び記憶保持等の動作を行っている。ここで、種々のリーク要因に対して一定期間記憶状態を保持するため、キャパシタには、ある一定の容量値が必要である。

6

また、 α 線によるソフト・エラー対策及びセンス・アンプ感度以上の信号を得るためにも、キャパシタは、ある一定の容量値を確保する必要がある。しかし、DRAMの集積度向上に伴い、小さい面積で一定の容量値を確保することは増々困難となり、セル構造は三次元化に向わざるを得ない。

三次元セルの代表的なものには、キャパシタを、ポリシリコンを使用して上に積み上げるスタックト・キャパシタ・セルといわれるものがある。第5図は、通常使用されているスタックト・キャパシタ・セルの断面図である。セルは、トランスファゲートとしてのスイッチングトランジスタ1とキャパシタ2で構成される。キャパシタ2は、シリコン基板3に前記スイッチングトランジスタ1を形成した後、このスイッチングトランジスタ1およびフィールド酸化膜4上に積み上げて形成される。そのキャパシタ2は、電荷蓄積電極5と誘電体薄膜6とプレート電極7で構成されており、電荷蓄積電極5は第1層間絶縁膜8に開けたコンタクト孔9を通して前記スイッチングトランジスタ

1のソース・ドレインの一方の不純物拡散層10aに接続される。そして、このキャパシタ2を形成した後、基板3上の全面は第2層間絶縁膜11で覆われ、その上にはビットライン12が形成され、さらにその上の表面全体は保護膜13で覆われる。ビットライン12は、層間絶縁膜8、11に開けられたコンタクト孔14を通してスイッチングトランジスタ1のソース・ドレインの他方の不純物拡散層10bに接続されている。

この通常型スタックト・キャパシタ・セルで、キャパシタ2を形成するためのフォトリソ・グラフィ使用回数は3回である。電荷蓄積電極5をソース・ドレインの一方の不純物拡散層10aに接続するためのコンタクト孔9の形成、電荷蓄積電極5の形成、プレート電極7の形成の際の各1回、計3回である。

また、この通常型スタックト・キャパシタ・セルは、1メガビットDRAM、4メガビットDRAMで使用される。しかし、16メガビットDRAM以降の高集積DRAMを考えた場合、こ

7

のスタックト・キャパシタでも十分な容量値を確保できなくなる恐れがある。また、第5図中のa部分での電荷蓄積電極5のパターニングは下地段差部上でのパターニングであり、16メガビット以降寸法が微細化されるに従い増々そのパターニングが困難になる。

16メガビットDRAM以降、スタックト・キャパシタで十分な容量値を確保するため、種々の工夫がなされている。第6図は、'89. シンポジウム・オン・VLSIテクノロジー('89 Symposium on VLSI Technology)で提案があり、シンポジウム・オン・VLSIテクノロジー・テクニカル・ダイジェスト'89(Symposium on VLSI Technology Technical Digest '89) (8-5) P67~70に開示されるセル構造の製造工程断面図である。

まず第6図(a)で示すように、シリコン基板21上にアイソレーション領域22(この場合はフィールド・シールド・アイソレーション法を使用している)を形成後、トランスファゲートスイッチングトランジスタのゲート電極(ワードラインと

して延在する)23を形成する。さらに、同図のようにセルフアライメントでサイドウォールスペーサ24を形成し、その後、薄いシリコン窒化膜を形成し、その一部分をフォトリソエッチング工程で除去することによりSINマスク層25を形成する。

次に、ポリシリコンを堆積後、該ポリシリコンをフォトリソ・エッチング工程でパターニングすることにより、第6図(b)に示すようにポリシリコンパッド26を形成する。

次に、第6図(c)に示すように、CVD法で厚い酸化膜27を堆積し、該酸化膜27を平坦化した後、該酸化膜27にフォトリソエッチング工程で前記ポリシリコンパッド26上で穴28を開け、さらにポリシリコン29を堆積させる。

次に、異方性エッチングによりポリシリコン29をエッチングし、該ポリシリコン29を前記穴28の側面にのみ残した後、第6図(d)に示すようにCVD酸化膜27をウェットエッチングにより除去する。この時、第6図(a)で形成したSINマ

9

スク層 25 がエッチングストップとなる。

しかる後、残存ポリシリコン 29 とポリシリコンパッド 26 からなるキャパシタの電荷蓄積電極の表面にキャパシタ誘電体薄膜を形成した後、全面にポリシリコンを堆積させ、そのポリシリコンをフォトリソエッチング工程でパターンニングすることにより、第 6 図 (e) に示すようにキャパシタのプレート電極 30 を形成する。

その後は第 6 図 (f) に示すように厚く絶縁膜 31 を堆積させた後、ビットラインとトランスファゲートスイッチングトランジスタのソース・ドレインの一方とを接続するための穴 32 を前記絶縁膜 31 に開け、その穴 32 をこの場合はタングステン (W) 33 で埋め込む。

このような方法によれば、キャパシタの電荷蓄積電極はポリシリコン 29 により一部上方に筒状に突出したように形成され、その部分においては内側、外側の両面を容量として使用できるようになるので、64 メガビット D R A M 対応セルサイズでも、キャパシタは充分な容量を確保できる。

1 1

よびその製造方法を提供することを目的とする。
(課題を解決するための手段)

この発明 (第 1 のこの発明) では、半導体基板にトランスファゲートとしてのスイッチングトランジスタを形成し、その基板上の全面を絶縁膜で覆い、この絶縁膜には前記スイッチングトランジスタのソース・ドレインの一方の拡散層上でコンタクトホールを開け、このコンタクトホールの側壁面から前記絶縁膜上に筒状に突出するように、かつ下端は前記コンタクトホール底面の拡散層表面に接するように筒状のキャパシタの電荷蓄積電極を設け、その内面、外面および上端面ならびにコンタクトホール底面にキャパシタ誘電体薄膜を形成し、さらにこの誘電体薄膜を挾んで前記筒状の電荷蓄積電極をその内側および外側から覆うようにキャパシタのプレート電極を設ける構造とする。

また、第 2 のこの発明では、上記構造において電荷蓄積電極は有底筒状とし、その底部を含む電荷蓄積電極の内面、および外面ならびに上端面に

1 3

(発明が解決しようとする課題)

しかるに、この第 6 図の改良型スタックト・キャパシタ・セルでは、キャパシタを形成するためにフォトリソグラフィ工程が第 6 図 (a), (b), (c), (d) で 1 回ずつ、計 4 回必要となり、第 5 図の通常型スタックト・キャパシタ・セルより 1 回増えるので、工程が長くなり、製造コストが高くなるという問題点がある。一方、第 5 図の通常型スタックト・キャパシタ・セルではフォトリソグラフィ工程は 1 回少ないが、既に述べたように、16 メガビット D R A M 以降の高集積 D R A M においては充分なキャパシタ容量を確保することが困難となり、かつ電荷蓄積電極のパターン形成が微細になるに従い増々困難になる欠点を有する。

この発明は、小さい面積でも充分な容量を確保し、また、電荷蓄積電極のパターンニングの困難さを除去し、さらに、キャパシタ部形成にかかるフォトリソグラフィ工程を通常型スタックト・キャパシタ・セルより減らして製造工程を短くし製造コストを下げることでできる D R A M セル構造お

1 2

キャパシタ誘電体薄膜を形成する。

さらに第 3 のこの発明では、上記第 1 のこの発明の構造を製造するため次のような製造方法とする。すなわち、半導体基板にトランスファゲートとしてのスイッチングトランジスタを形成後、基板上の全面に厚く絶縁膜を形成し、この絶縁膜に前記スイッチングトランジスタのソース・ドレインの一方の拡散層上でコンタクトホールを開ける。その後、多結晶半導体層の全面形成と異方性エッチングにより、前記コンタクトホールの側壁面に残存多結晶半導体層からなる筒状のキャパシタの電荷蓄積電極を形成した後、前記絶縁膜を一定の深さまでエッチング除去して、前記電荷蓄積電極の上方側部分を前記絶縁膜上に突出させる。その後、筒状の電荷蓄積電極の内面、外面、上端面およびコンタクトホールの底面にキャパシタ誘電体薄膜を形成し、さらに筒状の電荷蓄積電極をその内側および外側から覆うようにキャパシタのプレート電極を形成する。

また、第 4 のこの発明では、このような製造方

1 4

法において、半導体基板上に厚く形成される絶縁膜は酸化膜／窒化膜／酸化膜の3層構造とし、前記絶縁膜を一定の深さまでエッチング除去する際は、窒化膜をエッチングストッパとして使用する。

また第5のこの発明では、上記第2のこの発明の構造を製造するため次のような製造方法とする。すなわち、半導体基板にトランジスタを形成後、基板上の全面に酸化膜／窒化膜／酸化膜の3層構造の厚い絶縁膜を形成し、この絶縁膜に前記スイッチングトランジスタのソース・ドレインの一方の拡散層上でコンタクトホールを開ける。その後、このコンタクトホールの側壁面および底面ならびに前記絶縁膜表面の全面に多結晶半導体層を形成し、さらにその上に絶縁膜を堆積させて前記コンタクトホールを埋め込む。その後、この絶縁膜を全面異方性エッチングによりコンタクトホール内のみ残し、この残存絶縁膜をマスクとして、前記3層構造絶縁膜表面の露出した多結晶半導体層を除去することにより、該多結晶半導体層をコンタク

トホール内にのみ有底筒状に残し、有底筒状のキャパシタの電荷蓄積電極を形成する。その後、コンタクトホール内の残存絶縁膜と3層構造絶縁膜の上層酸化膜を、3層構造においては中間層の窒化膜をマスクとして同時に除去し、さらに中間層の窒化膜を除去することにより、3層構造絶縁膜の下層酸化膜上に前記電荷蓄積電極の上方側部分を突出させる。その後、有底筒状の電荷蓄積電極の内面、外面および上端面にキャパシタ誘電体薄膜を形成し、さらに有底筒状の電荷蓄積電極をその内側および外側から覆うようにキャパシタのプレート電極を形成する。

さらに第6のこの発明では、このような製造方法において、多結晶半導体層を全面に形成した後、その上に堆積される絶縁膜は不純物ドーパの絶縁膜とし、この絶縁膜の堆積後、この絶縁膜から前記多結晶半導体層に導電性をもたせるために不純物を拡散によりドーピングする。

(作用)

上記のような構造および製造方法によれば、キ

1 5

ャパシタの電荷蓄積電極は筒状または有底筒状に立てるだけであり、平面上での面積は小さくする。また、筒状あるいは有底筒状電荷蓄積電極の上方側部分は内面、外面とも容量として使用されるため、上述のように平面上での面積が小さいことに加えて、電荷蓄積電極の筒を極端に高くすることなく充分な容量を有することになる。さらに、電荷蓄積電極の筒を極端に高くする必要がなければ、その後のプレート電極形成などでのフォトリソも特に困難になることはない。

さらに、上記製造方法から明らかなように、この発明によれば、厚い絶縁膜のコンタクトホール内にセルフアラインで筒状または有底筒状に電荷蓄積電極が形成される。さらに前記絶縁膜を一定の深さまでエッチング除去して前記電荷蓄積電極の上方側部分を前記絶縁膜上に突出させる際、該絶縁膜を酸化膜／窒化膜／酸化膜の3層構造として、窒化膜をエッチングストッパとしてエッチングを行えば、絶縁膜のエッチング量、換言すれば電荷蓄積電極の突出量を再現性よく一定とするこ

1 6

とができる。さらに特に第5のこの発明では、前記窒化膜をマスクとして3層構造絶縁膜のエッチング量を正確に制御して、該3層絶縁膜の上層酸化膜とコンタクトホール内の埋込み絶縁膜を同時に除去することが可能となる。また、コンタクトホール内の埋込み絶縁膜は、コンタクトホールの底面に多結晶半導体層を残してキャパシタの電荷蓄積電極を有底筒状に形成するためのマスクとして作用するが、この絶縁膜として第6のこの発明のように不純物ドーパの絶縁膜を用いれば、この絶縁膜からの不純物拡散により電荷蓄積電極に導電性をもたせるために不純物をドーピングすることが可能となる。

また、キャパシタの電荷蓄積電極を有底筒状に形成すれば、コンタクトホールの底面も電極材料である多結晶半導体層となるので、このコンタクトホールの底面部にも他の部分と同様に良質のキャパシタ誘電体薄膜が形成される。

(実施例)

以下この発明の実施例を図面を参照して説明す

1 7

1 8

る。

第1図はこの発明のDRAMセル構造の一実施例を示し、(a)は平面図、(b)は断面図である。この図において、41はP型シリコン基板であり、このシリコン基板41にフィールド酸化膜42形成後、トランスファゲートとしてのスイッチングトランジスタ43が設けられている。このスイッチングトランジスタ43は、ゲート酸化膜44、ゲート電極45、ソース・ドレインとしての一対の拡散層46a、46bで構成され、ゲート電極45はフィールド酸化膜42上にワードライン47として延在する。そして、このスイッチングトランジスタ43を設けた後、基板41上の全面は第1層間絶縁膜48で覆われており、この第1層間絶縁膜48には前記スイッチングトランジスタ43のソース・ドレインの一方の拡散層46a上でコンタクトホール49が開けられている。そして、このコンタクトホール49の側壁面から前記第1層間絶縁膜48の上方に突出するように筒状にキャパシタの電荷蓄積電極50が設けられて

おり、この電荷蓄積電極50の下端はコンタクトホール49底面の前記拡散層46aの表面に接している。また、この筒状の電荷蓄積電極50の内面、外面、上端面およびコンタクトホール49の底面にはキャパシタ誘電体薄膜51が形成される。そして、この誘電体薄膜51を挟んで前記筒状の電荷蓄積電極50をその内側と外側から覆うようにキャパシタのプレート電極52が設けられている。さらにこのようにしてキャパシタを完成させた上で基板41上の全面を覆うように第2層間絶縁膜53が設けられている。そして、この第2層間絶縁膜53と第1層間絶縁膜48には、前記スイッチングトランジスタ43のソース・ドレインの他方の拡散層46b上でコンタクトホール54が開けられており、このコンタクトホール54を通して前記拡散層46bに接続されるようにビットライン55が前記第2層間絶縁膜53上に形成されている。さらに、このビットライン55上を含む全表面を覆うようにパッシベーション膜56が設けられている。

19

このようなDRAMセルは第2図(a)~(d)（この発明の製造方法の第1の実施例）に示すようにして製造される。

まず第2図(a)に示すように、P型シリコン基板41をLOCOS法により選択酸化し、約5000Åの厚いフィールド酸化膜42を形成する。次に、基板41上にゲート酸化膜44を約160Å厚に形成し、その上にLPCVD法でポリシリコンを堆積させ、このポリシリコンに通常の方法で不純物をドーピングした後、フォトリソグラフィおよびエッチングでゲートパターンニングを行うことにより、残存ポリシリコンからなるスイッチングトランジスタ43のゲート電極45を形成し、かつその下のみにはゲート酸化膜44を残す。この時、同時に残存ポリシリコンによってワードライン47が形成される。なお、ゲート電極材料としてはポリシリコンの代りに、ポリシリコン/シリサイドからなるポリサイドを使用することもできる。続いて、ゲート電極45をマスクにしてイオン注入法によりヒ素(As)イオンを基板41に注入して、該基板

20

41にスイッチングトランジスタ43のソース・ドレインの一対の拡散層46a、46bを形成する。この時、N⁺層形成イオン注入、サイドウォール形成を前に付加して、拡散層46a、46bをLDD構造に形成することもできる。以上でトランスファゲートとしてのスイッチングトランジスタ43が完成する。

次に、基板41上の全面にバイアスECR法により第2図(b)に示すようにシリコン酸化膜61を約5000Å堆積させる。この時、バイアスECR法を使用することで、ゲート電極45およびワードライン47上の酸化膜厚は約2000Åにとどまり、その結果として全体にほぼ平坦にシリコン酸化膜61を堆積させることができる。勿論、他の平坦化法を用いてシリコン酸化膜61を平坦にしてもよい。続いて、そのシリコン酸化膜61上に、LPCVD法によりシリコン酸化膜62を約500Å堆積させる。さらにその上に、CVD法によりシリコン酸化膜53を約10000Å堆積させる。以上で基板41上に3層構造の第1層間絶縁膜48が

21

22

完成する。

次に、その3層構造の第1層間絶縁膜48に、通常のフォトリソグラフィと異方性ドライエッチングにより、第2図(c)に示すようにスイッチングトランジスタ43のソース・ドレインの一方の拡散層46aに貫通するようにコンタクトホール49を開ける。この時、コンタクトホール49は、前記異方性ドライエッチングによりほぼ垂直に形成する。その後、そのコンタクトホール49の側壁面および底面ならびにシリコン酸化膜63の表面、すなわち全面にポリシリコン64を約1000Å堆積させる。

しかる後、このポリシリコン64を異方性ドライエッチングによりエッチングして、第2図(d)に示すようにコンタクトホール49の側壁面にのみ残すことにより、この残存ポリシリコン64からなる筒状の電荷蓄積電極50をコンタクトホール49の側壁面にセルフラインで形成する。

次いで、3層構造の第1層間絶縁膜48のうち上層のシリコン酸化膜63を、中間層のシリコン

2 3

とができるから、電荷蓄積電極50と基板41とのショートを防止することができる。

次に、筒状の電荷蓄積電極50の内面、外面、上端面およびコンタクトホール49の底面を含む全面に第2図(f)に示すようにキャパシタ誘電体薄膜51、具体的にはシリコン窒化膜を5~10nm程度LPCVD法により堆積させ、さらにその欠陥密度低減、耐圧向上のために、900℃前後のウェット酸素雰囲気中でアニールを施す。次に、電荷蓄積電極50の筒内を含む全面にプレート電極となるポリシリコン65を約2500Å LPCVD法で堆積させ、これに通常のリン拡散法により不純物を導入する。

しかる後、このポリシリコン65をフォトリソエッチング工程によりパターニングして第2図(g)に示すように電荷蓄積電極50部分にのみ残すことにより、この筒状の電荷蓄積電極50をその内側および外側から覆うプレート電極52を形成する。この時、キャパシタ誘電体薄膜51もプレート電極52と同一形状にパターニングされる。

2 5

窒化膜62をエッチングストップとしてフッ酸系ウェットエッチング(ドライエッチングでもよい)によりエッチング除去する。続いて、露出したシリコン窒化膜62を熱リン酸ウェットエッチングにより除去する。これにより、第2図(h)に示すように、筒状の電荷蓄積電極50の上方側部分がシリコン酸化膜61(薄くなった第1層間絶縁膜48)の上方に突出した構造となる。

しかる後、ポリシリコンからなる電荷蓄積電極50に対して、導電性をもたせるため、リンもしくはヒ素の不純物をイオン注入により導入する。なお、この不純物導入は、第2図(i)でポリシリコン64が全面に形成された段階で、通常のリン拡散で行ってもよい。ただし、第2図(i)の段階でイオン注入で不純物の導入を行えば、第2図(d)のポリシリコンエッチングでコンタクトホール49底面がオーバーエッチング、およびエッチングのローディング効果により基板41側に深くエッチングされた場合でも、再度コンタクトホール49底面に不純物を導入して所望深さの拡散層を得るこ

2 4

しかる後、同第2図(h)のように、全面に第2層間絶縁膜53(NSG膜1000ÅとBPSG膜5000Å程度)をCVD法で堆積させ、この第2層間絶縁膜53の平坦化(BPSG膜フロー)を900℃窒素中の10分程度のアニールにより行う。この時、第2層間絶縁膜53を前述のバイアスBCR法で堆積させて、堆積と同時に平坦化されるようにしてもよい。

そして、平坦化された第2層間絶縁膜53とその下の第1層間絶縁膜(シリコン酸化膜61)に対して、通常のフォトリソエッチング工程により、第2図(h)に示すごとくスイッチングトランジスタ43のソース・ドレインの他方の拡散層46bに貫通するようにコンタクトホール54を開ける。

その後、LPCVD法でポリシリコンを1500Å堆積させ、イオン注入法でリンをポリシリコンに導入した後、スパッタ法でタングステンシリサイドを1500Å程度再度堆積させ、そのポリシリコン/タングステンシリサイドの2層を通常のフォトリソエッチング工程によりパターニングすることによ

2 6

り、前記コンタクトホール54を通して前記拡散層46bに接続されるビットライン55を第2層間絶縁膜53上に第2図(c)に示すように形成する。最後に、その上の全表面に同第2図(c)に示すようにパッシベーション膜56を形成する。

第3図は、以上のようにして製造されたこの発明の一実施例のDRAMセルにおけるキャパシタ容量を計算したものである。この第3図は、横軸にキャパシタの電荷蓄積電極50の高さhをとり、その高さhとの関係で縦軸に容量を示す。この発明の一実施例のDRAMセルのキャパシタによれば、第3図中に示すように、筒状の電荷蓄積電極50の高さ0.5 μ m以上の所(第1層間絶縁膜48より上の部分)は、内面および外面とも容量として使用できる。実効的な誘電体薄膜51の厚さToxeffは5.5nmとする。筒状の電荷蓄積電極50の外径が0.7 μ m、内径が0.5 μ mの16メガビット対応の場合の電荷蓄積電極高さhによる容量を直線aで示す。また、電荷蓄積電極50の外径が0.5 μ m、内径が0.3 μ mの64メガビット対応の場

合の電荷蓄積電極高さhによる容量を直線bに示す。ソフトエラー、センスアンプ感度、各種リーク要因により決まる最低の必要容量値を約20fFとすると、直線bから、電荷蓄積電極50の高さhを約1.5 μ mとすることにより、64メガビット対応においても20fF以上の容量を確保でき、この発明の一実施例のDRAMセルを64メガビットDRAMに使用することができることが分る。また、16メガビット対応の場合は、20fF以上の容量を得る上で、電荷蓄積電極高さhは0.8 μ m程度でよいことも直線aから分る。このように、この発明の一実施例の構造ならびに第1の実施例の製造方法によれば、電荷蓄積電極50の筒を極端に高くすることなく十分な容量を得ることができる。また、電荷蓄積電極50は筒状に立てるだけであるから、平面上の面積も小さくてすむ。

第4図はこの発明の製造方法の第2の実施例である。この第2の実施例は、キャパシタの電荷蓄積電極を有底筒状に形成する場合である。この第2の実施例では、第4図(a)ないし(c)に示すように

27

コンタクトホール49の側壁面および底面を含む全面にポリシリコン64を形成するまでは第2図の第1の実施例と同一工程をとる。そこで、ポリシリコン64の形成工程までは第4図(a)ないし(c)中の第2図と同一部分に第2図と同一符号を付してその説明を省略する。

コンタクトホール49の側壁面および底面ならびにシリコン酸化膜63の表面の全面にポリシリコン64を形成したならば、次に第4図(c)に示すようにその上の全面に絶縁膜としてA₂SG膜(ヒ素ドーパの酸化膜)66をCVD法により堆積させ、コンタクトホール49を埋め込む。その後、アニールすることによりA₂SG膜66中のA₂を低抵抗化のために(導電性をもたせるために)ポリシリコン64に拡散させる。

その後、A₂SG膜66を異方性エッチングすることにより、このA₂SG膜66を第4図(c)に示すようにコンタクトホール49内にのみ残す。

その後、コンタクトホール49内に残存したA₂SG膜66をマスクとして、シリコン酸化膜63

の表面上の露出したポリシリコン64を第4図(f)に示すように異方性エッチングで除去する。これにより、ポリシリコン64はコンタクトホール49内に有底筒状に残り、有底筒状のキャパシタの電荷蓄積電極50がセルフアラインで形成される。この有底筒状電荷蓄積電極50の底部は、コンタクトホール49底面の拡散層46a表面に接する。

次に、3層構造第1層間絶縁膜48の上層シリコン酸化膜63とコンタクトホール49内の残存A₂SG膜66を、フッ酸系ウェットエッチングあるいはドライエッチングで第4図(g)に示すように同時に除去する。この時、3層構造第1層間絶縁膜48においては、中間層のシリコン窒化膜62がエッチングストッパとして作用する。したがって、このエッチングストッパで3層構造第1層間絶縁膜48のエッチング量を正確に制御して、A₂SG膜66と上層シリコン酸化膜63を同時に除去することが可能となる。その後、3層構造第1層間絶縁膜48の中間層シリコン窒化膜62も熱リン酸ウェットエッチングにより除去する。これらによ

28

29

30

り、有底筒状電荷蓄積電極50は中空状となり、かつ上方側部分はシリコン酸化膜61(薄くなった第1層間絶縁膜48)の上方に突出した構造となる。

なお、この状態で、前述したA₂SG膜66からのA₂熱拡散に代えて、低抵抗化のための不純物ドーブをイオン注入で電荷蓄積電極50に対して行ってもよい。そのようにした時は、第4図(d)で全面に形成されコンタクトホール49を埋める絶縁膜として、A₂SG膜66に代えてホトレジストあるいは通常のCVD酸化膜を使用することもできる。

次に、有底筒状電荷蓄積電極50の内面、外面、上端面を含む全面に第4図(e)に示すようにキャパシタ誘電体薄膜51、具体的にはシリコン窒化膜を5~10nm程度LPCVD法により堆積させ、さらにその欠陥密度低減、耐圧向上のために、900℃前後のウェット酸素雰囲気中でアニールを施す。次に、同図のように、電荷蓄積電極50の筒内を含む全面にプレート電極となるポリシリコン65を約2500Å LPCVD法で堆積させ、これに通常のリ

ソ拡散法により不純物を導入する。

しかる後、このポリシリコン65をフォトリソエッチング工程によりパターンニングして第4図(i)に示すように電荷蓄積電極50部分および必要部分にのみ残すことにより、この筒状の電荷蓄積電極50をその内側および外側から覆うプレート電極52を形成する。この時、キャパシタ誘電体薄膜51もプレート電極52と同一形状にパターンニングされる。

しかる後、同第4図(i)のように、全面に第2層間絶縁膜53(NSG膜1000ÅとBPSSG膜5000Å程度)をCVD法で堆積させ、この第2層間絶縁膜53の平坦化(BPSSG膜フロー)を900℃窒素中の10分程度のアニールにより行う。この時、第2層間絶縁膜53をバイアスECR法で堆積させて、堆積と同時に平坦化されるようにしてもよい。

そして、平坦化された第2層間絶縁膜53とその下の第1層間絶縁膜(シリコン酸化膜61)に対して、通常のフォトリソエッチング工程により、

3 1

第4図(j)に示すごとくスイッチングトランジスタ43のソース・ドレインの他方の拡散層46bに貫通するようにコンタクトホール54を開ける。

その後、LPCVD法でポリシリコンを1500Å堆積させ、イオン注入法でリンをポリシリコンに導入した後、スパッタ法でタングステンシリサイドを1500Å程度再度堆積させ、そのポリシリコン/タングステンシリサイドの2層を通常のフォトリソエッチング工程によりパターンニングすることにより、前記コンタクトホール54を通して前記拡散層46bに接続されるビットライン55を第2層間絶縁膜53上に第4図(j)に示すように形成する。最後に、その上の全表面に同第4図(j)に示すようにパッシベーション膜56を形成する。

(発明の効果)

以上詳細に説明したように、この発明の半導体記憶装置およびその製造方法によれば、次のような効果を得ることができる。

- ① キャパシタの電荷蓄積電極は筒状または有底筒状に立てるだけであるから、平面上での面積

を小さくすることができる。

- ② 筒状または有底筒状電荷蓄積電極の上方側部分は内面、外面とも容量として使用されるため、上述のように平面上での面積が小さいことに加えて、電荷蓄積電極の筒を極端に高くすることなく十分な容量を得ることができる。さらに、電荷蓄積電極の筒を極端に高くする必要がなければ、その後のプレート電極形成などでのフォトリソが困難になることも防止できる。

- ③ 筒状または有底筒状電荷蓄積電極は、製造工程の途中において、厚い層間絶縁膜のコンタクトホール内にセルフアラインで形成できる。したがって、電荷蓄積電極パターンニングのためのフォトリソエッチング工程を省略することができ、製造工程を簡略化できる。この発明によれば、キャパシタ形成に関してフォトリソエッチング工程は、コンタクトホール形成とプレート電極パターンニングの2回であり、これは、第6図の改良型従来例の4回に比較しては勿論のこと、第5図の通常型従来例の3回に比べても少

3 2

3 3

—895—

3 4

ない。したがって、製造コストを下げるができる。さらに、電荷蓄積電極をセルフアラインで形成できれば、スタックト・キャパシタ製造で最も困難であった電荷蓄積電極パターンニングを容易として、歩留り、能率を上げることができる。

- ④ 電荷蓄積電極を前記厚い層間絶縁膜のコンタクトホール内に形成した後、該層間絶縁膜を一定の深さまでエッチング除去して電荷蓄積電極の上方側部分を層間絶縁膜上に突出させる際、該層間絶縁膜を酸化膜／窒化膜／酸化膜の3層構造で構成して、前記窒化膜をエッチングストップとして層間絶縁膜のエッチングを行うことにより、この層間絶縁膜のエッチング量、換言すれば電荷蓄積電極の突出量を再現性よく一定とすることができる。したがって、決まった容量面積を再現性良く確保することができ、一定容量のキャパシタを再現性よく製造することができる。また特に第5のこの発明では、前記窒化膜をマスクとして3層構造絶縁膜のエッチン

3 5

- ⑦ 以上の効果から16メガビットDRAMは勿論のこと64メガビットDRAMに充分に適用可能で、DRAM技術の発展に大きく貢献する。

4. 図面の簡単な説明

第1図はこの発明の半導体記憶装置の一実施例を示す平面図および断面図、第2図はこの発明の半導体記憶装置の製造方法の第1の実施例を示す工程断面図、第3図は第2図の方法により製造されたこの発明の一実施例の装置におけるキャパシタ容量の計算例を示す特性図、第4図はこの発明の半導体記憶装置の製造方法の第2の実施例を示す工程断面図、第5図は従来の通常型スタックト・キャパシタ・セルを示す断面図、第6図は改良型スタックト・キャパシタ・セルの製造工程断面図である。

41…P型シリコン基板、43…スイッチングトランジスタ、46a…拡散層、48…第1層間絶縁膜、49…コンタクトホール、50…電荷蓄積電極、51…キャパシタ誘電体薄膜、52…プレート電極、61…シリコン酸化膜、62…シリ

3 7

グ量を正確に制御して、該3層構造絶縁膜の上層酸化膜とコンタクトホール内の埋込み絶縁膜を同時に除去することができ、工程の簡略化を図ることができる。

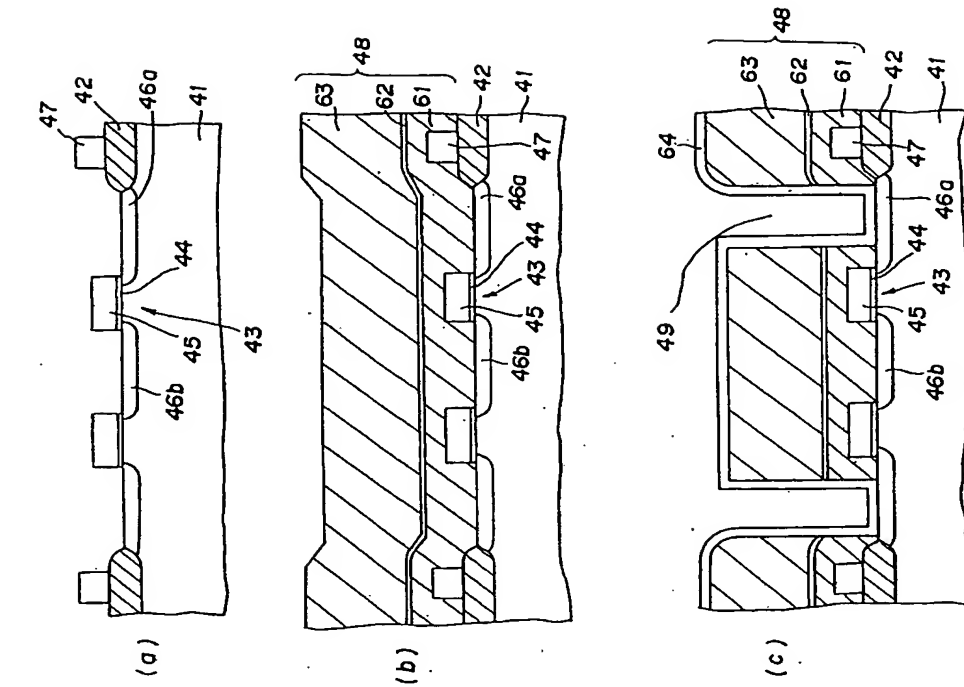
- ⑤ コンタクトホール内の前記埋込み絶縁膜は、コンタクトホールの底面に多結晶半導体層を残してキャパシタの電荷蓄積電極を有底筒状に形成するためのマスクとして作用するが、この絶縁膜として第6のこの発明のように不純物ドーブの絶縁膜を用いれば、この絶縁膜からの不純物拡散により電荷蓄積電極に低抵抗化のための不純物をドーブすることが可能となり、不純物ドーブ工程を新たに付け加える必要がないので、工程を簡略化できる。
- ⑥ キャパシタの電荷蓄積電極を有底筒状に形成すれば、コンタクトホールの底面も電極材料である多結晶半導体層となるので、このコンタクトホールの底面部にも他の部分と同様に良質のキャパシタ誘電体薄膜を形成することができ、キャパシタの品質を向上させることができる。

3 6

コン窒化膜、63…シリコン酸化膜、64…ポリシリコン、66…A.SG膜。

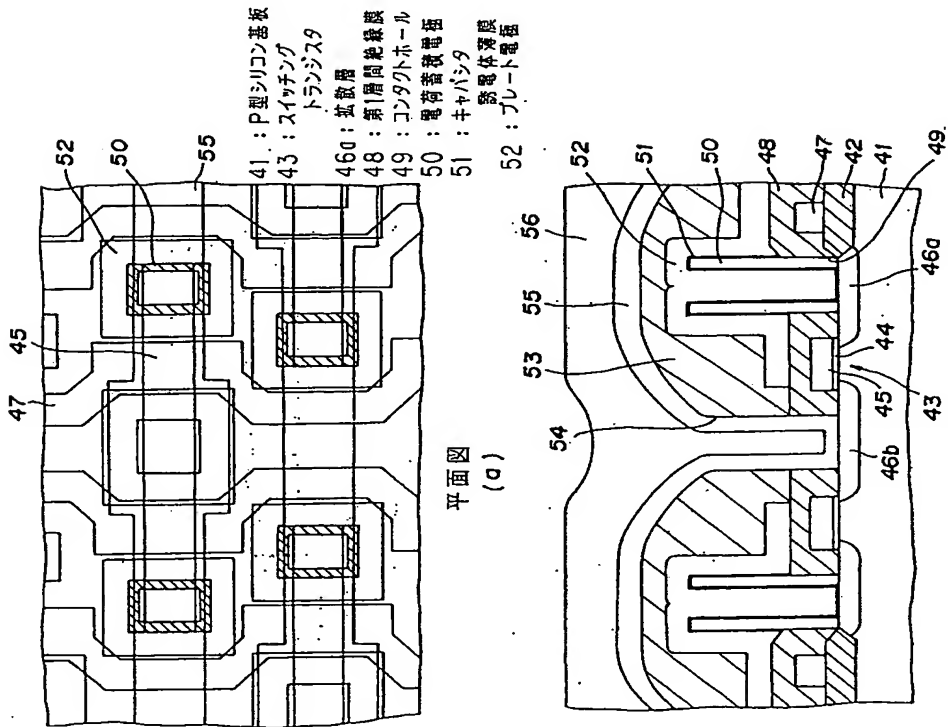
特許出願人 沖電気工業株式会社
代理人 弁理士 菊池





本発明に係るDRAMセルの第1の製造方法

第2図

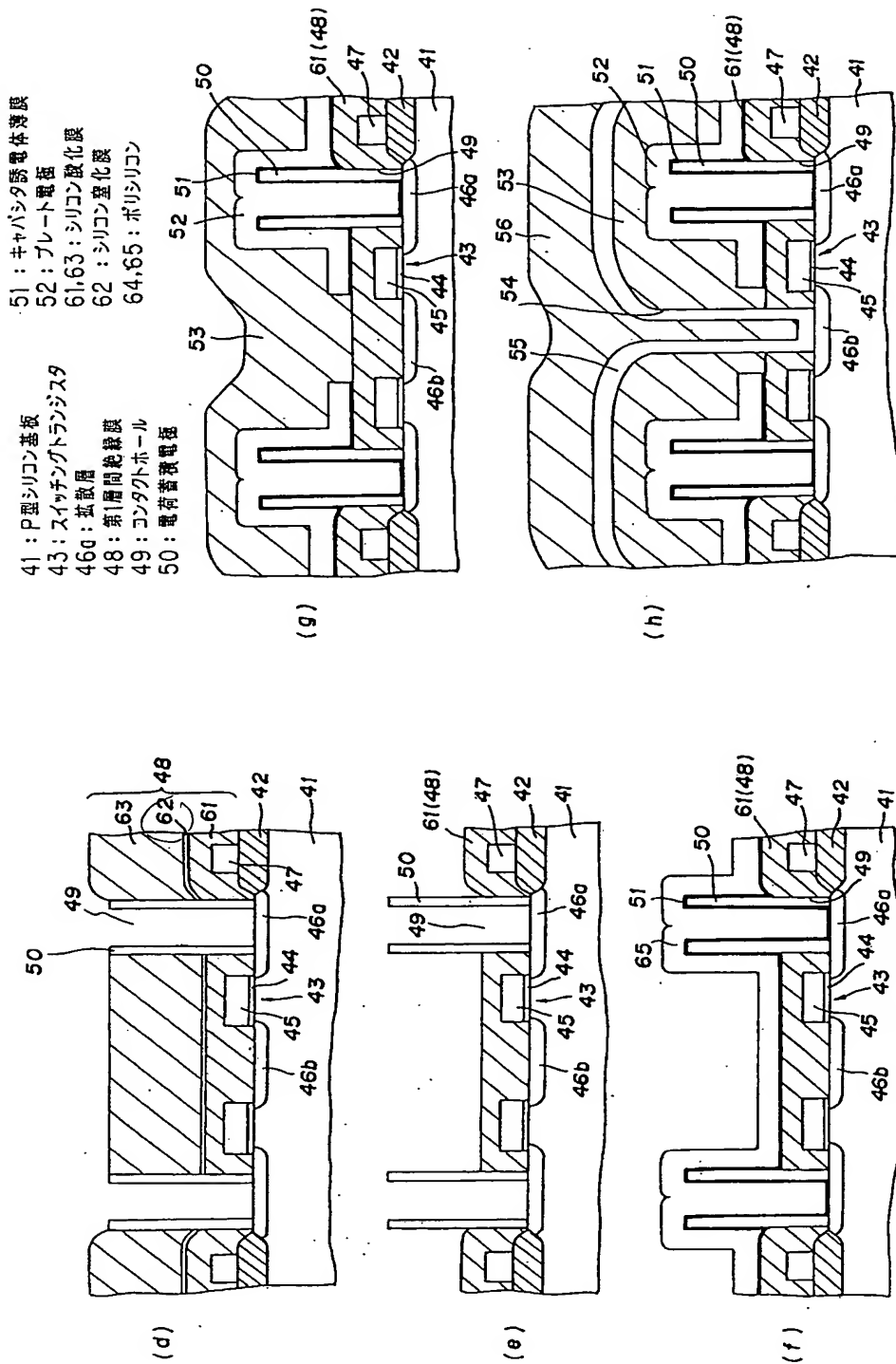


断面図

(b)

本発明に係るDRAMセルの構造

第1図

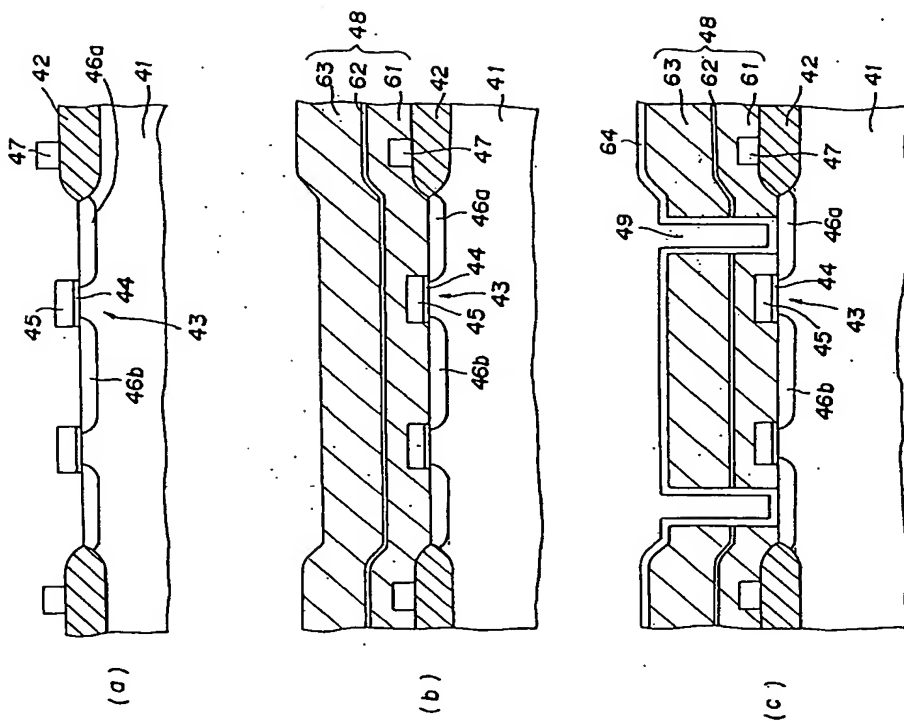


本発明に係るDRAMセルの第1の製造方法

第2図

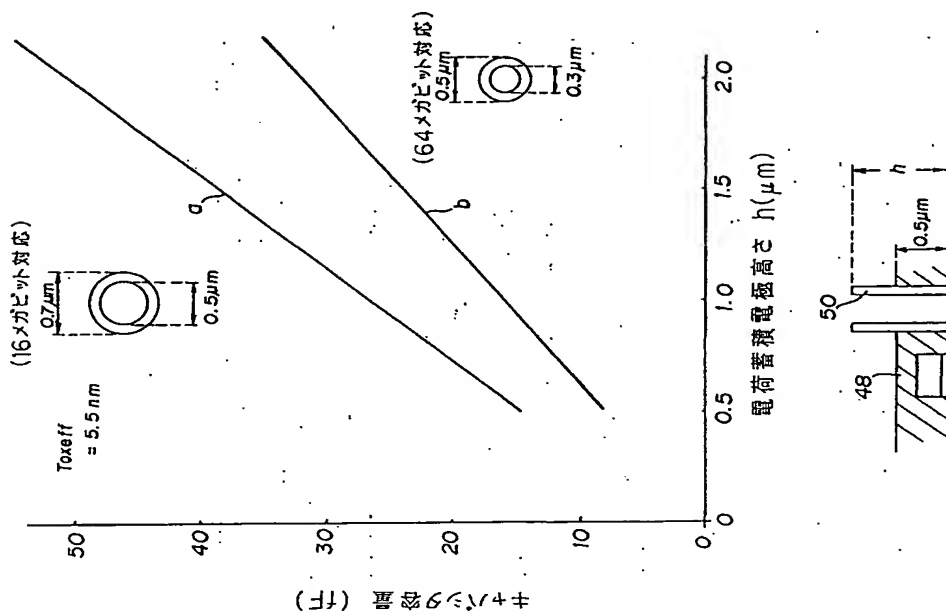
本発明に係るDRAMセルの第10の製造方法

第2図



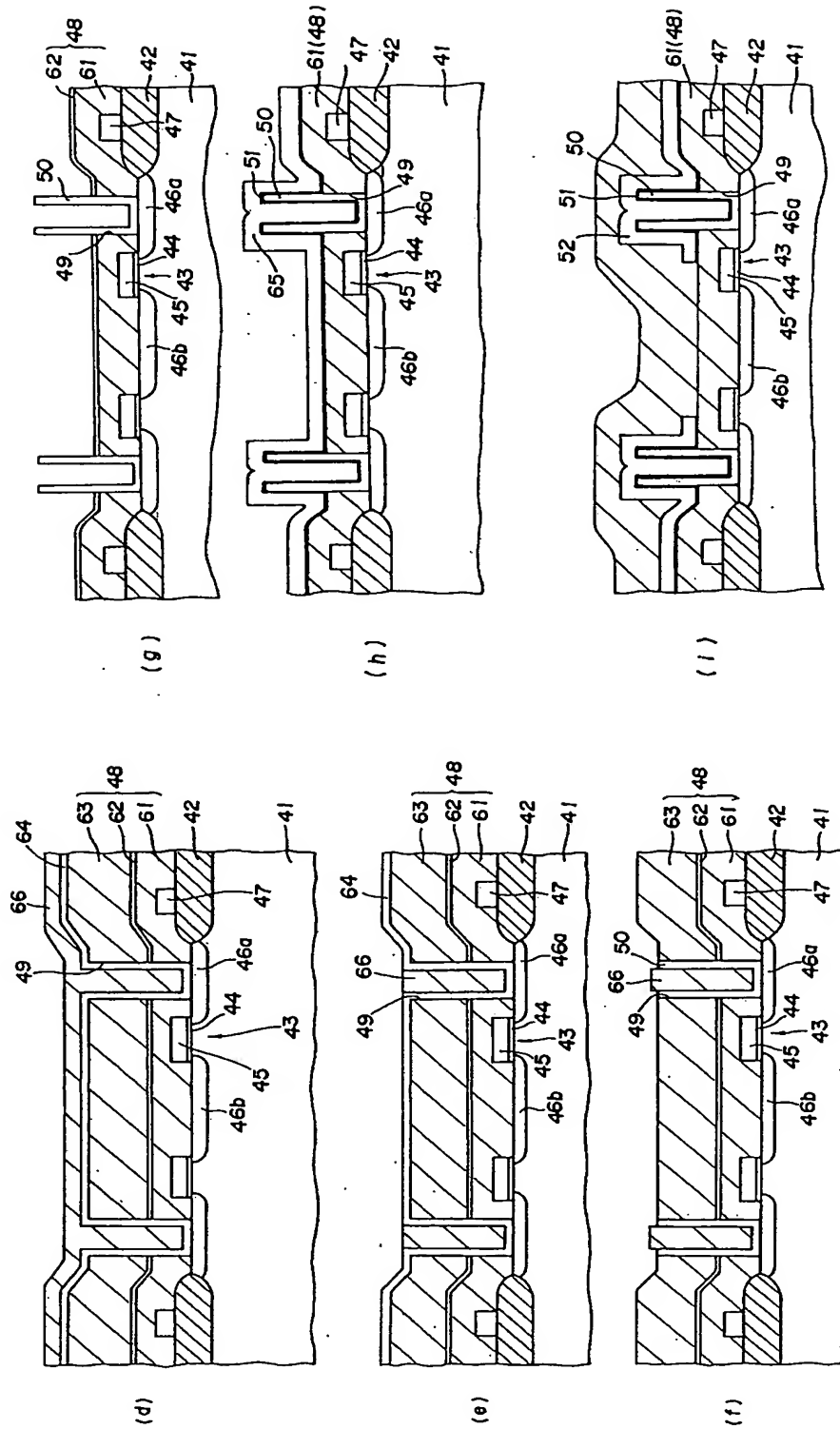
本発明に係るDRAMセルの第2の製造方法

第4図



電荷蓄積電極高さ対キャパシタ容量

第3図

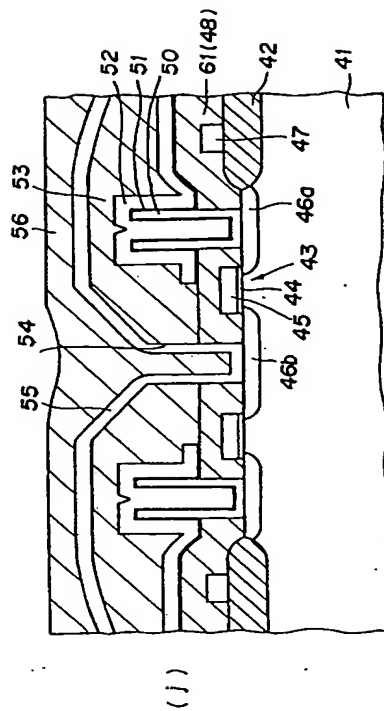


本発明に係るDRAMセルの第2の製造方法

第4図

本発明に係るDRAMセルの第2の製造方法

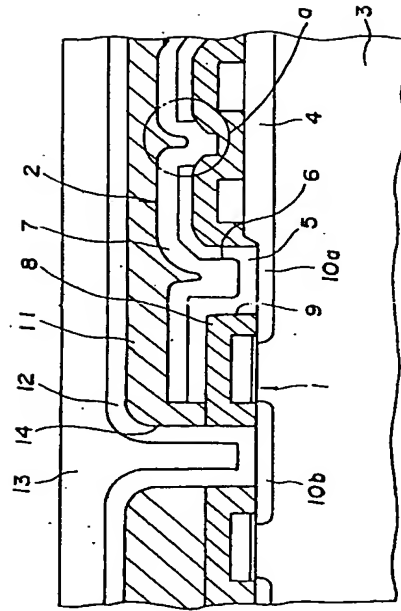
第4図



- 41 : P型シリコン基板
- 43 : スイッチングトランジスタ
- 46a : 拡散層
- 48 : 第1層間絶縁膜
- 49 : コンタクトホール
- 50 : 電荷蓄積電極
- 51 : キャパシタ誘電体薄膜
- 52 : プレート電極
- 61, 63 : シリコン酸化膜
- 62 : シリコン窒化膜
- 64, 65 : ポリシリコン
- 66 : ASG膜

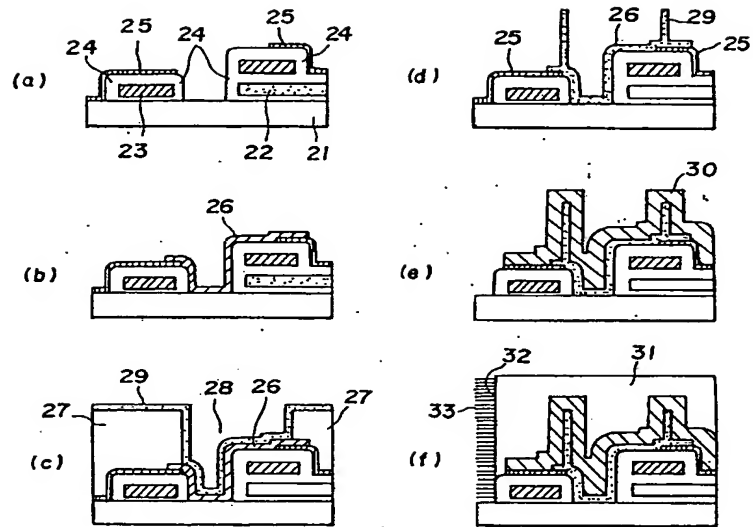
本発明に係るDRAMセルの第2の製造方法

第 4 図



従来の通常型スタックト・キャパシタ・セルの断面図

第 5 図



従来の改良型スタックド・キャパシタ・セルの製造工程

第 6 図